

Patent Abstract of Japan

(11)Publication number :50-91292

(43)Date of publication of application : 21.07.1975
(21)Application number : 48-138955
(22)Date of filing : 12.12.1973
(51)Int.Cl. : H01L 43/14

Title of the Invention : MANUFACTURING METHOD OF HALL ELEMENT
Inventor(s) : Kohei NONAKA et al.
Applicant : Asahi Kasei Corporation

Abstract

This invention relates to a hall element having vapor depositing semiconductor thin layer, especially a high-output type hall element and manufacturing method thereof.

According to the present invention, a hall element comprises a vapor depositing semiconductor thin layer, and a first magnetic body and a second magnetic body are respectively adhered on each side of the thin layer by adhesive agent.

A method of manufacturing a hall element comprises the steps of;

vapor forming the semiconductor thin layer on the vapor depositing substrate having a smooth surface,

adhering the first magnetic body on said vapor depositing semiconductor thin layer by adhesive agent,

removing said vapor depositing substrate from said vapor depositing semiconductor thin layer, and

adhering the second magnetic body is adhered by the adhesive agent on the surface of said vapor depositing semiconductor thin layer where the vapor depositing substrate is removed.



(特許法第38条
ただし書の規定
による特許出願)

特 許 願

昭和48 年12 月12 日

特許庁長官 殿

1. 発明の名称 ソシホ セイゾクホウホウ
ホール素子及びその製造方法
2. 特許請求の範囲に限定された発明の数 2
8. 発 明 者 ナロジ ニウラナロウ
東京都千代田区有楽町1丁目12番地1
アサヒカセイコウギョウ
旭化成工業株式会社内
野 中 康 平
(外1名)
4. 特許出願人 大阪市北区堂島浜通1丁目25番地ノ1
003 旭化成工業株式会社
取締役社長 宮 崎 輝
(外1名)
5. 代 理 人 東京都新宿区百人町一丁目19番13号(浅川ビル)
TEL 東京 (363) 0580
6615 井堀士 草 野 卓
6. 添附書類の目録

(1) 明 細 書	1 通
(2) 図 面	1 通
(3) 委 任 状	1 通 (一部追って補充)
(4) 出願審査請求書	1 通

明 細 書

1. 発明の名称

ホール素子及びその製造方法

2. 特許請求の範囲

- (1) 蒸着半導体薄膜と、その薄膜の両面にそれぞれ接層剤を介して接層された第1磁性体及び第2磁性体とよりなるホール素子。
- (2) 表面が平滑な蒸着基板に半導体薄膜を蒸着形成する工程と、その蒸着半導体薄膜上に第1磁性体を接層剤にて接層する工程と、然る後に上記蒸着基板を上記蒸着半導体薄膜より除去する工程と、その蒸着基板が除去された蒸着半導体薄膜の面に接層剤を介して第2磁性体を接層する工程とを有するホール素子の製造方法。

3. 発明の詳細な説明

この発明は蒸着半導体薄膜よりなるホール素子特に高出力のホール素子及びその製造方法に関する。

従来の蒸着半導体薄膜を使用したホール素子は、セラミック、フェライトなどの基板に、In-Sbな

(1)

-459-

⑬ 日本国特許庁

公開特許公報

⑪特開昭 50-91292

⑬公開日 昭50.(1975) 7 21

⑪特願昭 48-138955

⑫出願日 昭48.(1973) 12. 12

審査請求 有 (全4頁)

庁内整理番号

7257 57

⑫日本分類

990511

⑫ Int. Cl²

H01L 43/14

との金属間化合物半導体を真空蒸着し、その蒸着膜を写真蝕刻法により所定の寸法形状とし、然る後、蒸着膜上に樹脂でコーティングしていた。そのコーティングの前に磁束を集束するためのフェライト薄板を貼着することもある。この従来のホール素子は蒸着される基板の材質、表面の性質例えば平滑度などにより、蒸着半導体薄膜の性質が影響され易く、蒸着基板の種類に制約があった。

即ちホール素子の蒸着半導体薄膜の特性は、その薄膜材料の結晶構造にできるだけ近い結晶構造を有する基板に蒸着した方がよいことが一般に知られている。更にホール素子の出力は、同一制御電流の場合は蒸着半導体薄膜の厚みが薄い程大となることも知られている。しかし厚みが1μ程度以下の薄膜を蒸着するには蒸着基板の表面平滑度は少なくともその凹凸が1μ程度以下に抑えられる必要がある。一方、半導体薄膜の蒸着後に於いて、それに対する写真蝕刻などの処理工程で蒸着半導体薄膜が剥離しないためには、蒸着基板の薄膜形成面はあまり平滑すぎることなく、適当な

(2)

粗面であることが必要である。従つて出力を大と
するために蒸着半導体薄膜の厚みを薄くすること
と、製造し易さ及び安定度などをよくするための
蒸着基板に対する要求とは相容れないものであつ
た。

この発明の目的は蒸着半導体薄膜の厚みを薄く
でき、従つて感度が大で、しかもその製造、取扱
いが容易で安定性がよいホール素子及びその製造
方法を提供するものである。

この発明によれば蒸着基板に蒸着半導体薄膜を
形成した後に、その蒸着半導体薄膜上に第1磁性
体を接着剤にて接着する。その後蒸着基板を取去
り、その取去られた蒸着半導体薄膜の面上に第2
磁性体を接着剤にて接着する。従つて蒸着半導体
薄膜の内面はそれぞれ接着剤を介して第1、第2
磁性体にてサンドウィッチ状に挟まれる。この
ように蒸着基板は蒸着半導体薄膜の形成のために
使用されるものであるから、その形成に要求され
ることだけを満足すればよく、十分薄い蒸着半導
体薄膜を形成できる。その後は第1磁性体に接着

(3)

ツブ仕上げした最大凹凸が 0.4μ 以下のもののよ
うに極めて平滑にしたもの、或いは表面凹凸の最
大が 20μ 程度のもの、即ち厚板切出し後に同率
なラツプ仕上(400番砥粒)のものなどを使用
できる。

次に図Cに示すように蒸着基板1を除去する。
蒸着基板1が試母の如きものである場合は剥離によ
る。その時蒸着基板1及び蒸着半導体薄膜2間の接着力よ
りも接着剤3による接着が十分強いように選定し
ておく。蒸着基板1がNaCl、KBrのようなものの場
合は蒸着基板1を溶解して取去ることもできる。第1磁
性体4上に現われた蒸着半導体薄膜2に対し、所
望の形状寸法となるように例えば写真蝕刻が行な
われる(図D)。更にその蒸着半導体薄膜2上の
所要個所に電極5a~5dが例えば刷メツキし、
更にコパールの半田付けにより取付けられる(図
E)。

次に蒸着半導体薄膜2上に、電極5a~5dと
重なることなく、第2磁性体6を接着剤7にて固
定する。第2磁性体6としては第1磁性体4と同

(5)

様に強固に接着されるため、後の写真蝕刻工
程などにおける取扱いが容易となる。

次にこの発明によるホール素子及びその製造方
法の一例を図面を参照して説明しよう。

先ず図Aに示すように蒸着面が所望の平滑度を
有し、望ましくは蒸着されるべき半導体と結晶構
造が近似し、更に格子常致もなるべく近い材料か
らなる蒸着基板1、例えば試母、NaCl、KBrなど
の結晶体が用意される。この蒸着基板1上にIn-
Sbなどの金属間化合物半導体が真空蒸着されて蒸
着半導体薄膜2が形成される。この蒸着半導体薄
膜2上に図Bに示すように接着剤3によりフェラ
イト、パーマロイ、珪素鋼板などの高透磁率の第
1磁性体4が接着される。接着剤3としては温度
などの使用環境に耐えるもので、エポキシ樹脂系、
フェノール樹脂系などの非導電性のものを使用で
きる。第1磁性体4の薄膜2との接着面は薄膜より
大きい対向面積を有し、比較的平滑とされ、例
えば凹凸は 1μ 以下とされ、通常蒸着のために使
用されているフェライト板を砥粒1200番でラ

(4)

ックのものを使用でき、接着剤7も接着剤3と同様
のものを使用できる。なお必要に応じて電極5a
~5dにそれぞれリード線8a~8dが取付けら
れ、また第2磁性体6上よりエポキシ樹脂の如き
保護層9を形成できる。電極5a~5dの取付け
は第2磁性体6の取付け後でもよく、また第2磁
性体6の取付け前にリード線8a~8dの接続を
行なつてもよい。薄膜2に対する写真蝕刻は第1
磁性体4に取付ける前に行なつてもよい。

上述したように本発明ホール素子によれば蒸着
半導体薄膜2の形成に使用する蒸着基板1は、後
に除去されるものであり、よつて蒸着時に要求さ
れる性質があればよく、その選定が容易であり、
かつ十分平滑なものとなることができ、従つて厚
味が 1μ 以下の半導体薄膜2でも容易に作ること
が可能となる。半導体薄膜2の形成後は、これは
第1磁性体4上に接着剤にて強固に固定されてい
るため剥離し難く、後の製造工程での取扱いが容
易でそれだけ製造し易くなり、また機械的安定度
が高いものが得られる。また蒸着半導体2の両面

(6)

の磁性体4、6が接合されているため、磁束の集束がよく感度が高いものとなる。

例えば蒸着基板1として鍍母を、蒸着半導体薄膜2として厚さ1 μ 、巾0.4 μ 、長さ(電流を流す方向)1.6 μ のInSbを、第1、第2磁性体4、6として400番微粒ラップ仕上(最大凹凸20 μ)の表面を有すフェライトを、接着剤3、7として厚さ30 μ のエポキシ樹脂をそれぞれ使用してホール素子を作つた。このホール素子の感度は200mV/5mA \times 1KGaussであつた。従来市販品のホール素子の感度が60 \sim 80mV/5mA \times 1KGaussであるのと比較してこの発明ホール素子の感度が極めて高いことが理解される。

また蒸着基板1として鍍母、NaCl、KBrなどの結晶を使用する時はその結晶面は極めて平滑であり、ラッピングなどを行なう必要がない。このように平滑なため、特に鍍母を使用する場合はこれに対する蒸着半導体薄膜2の接着力が弱く、接着剤にて第1磁性体4を取付けた後、そのまま蒸着基板1を容易に剥離できる。このような関係より

(7)

蒸着半導体薄膜2に対する加工は第1磁性体4に取付けた後に行なつた方がよい。半導体薄膜2の材料としてInSbを使用する時は蒸着基板1は鍍母が、Geの時はNaCl、KBr、BaCl₂などが好ましい。

4. 図面の簡単な説明

図はこの発明によるホール素子の一例の製造工程を示す図である。

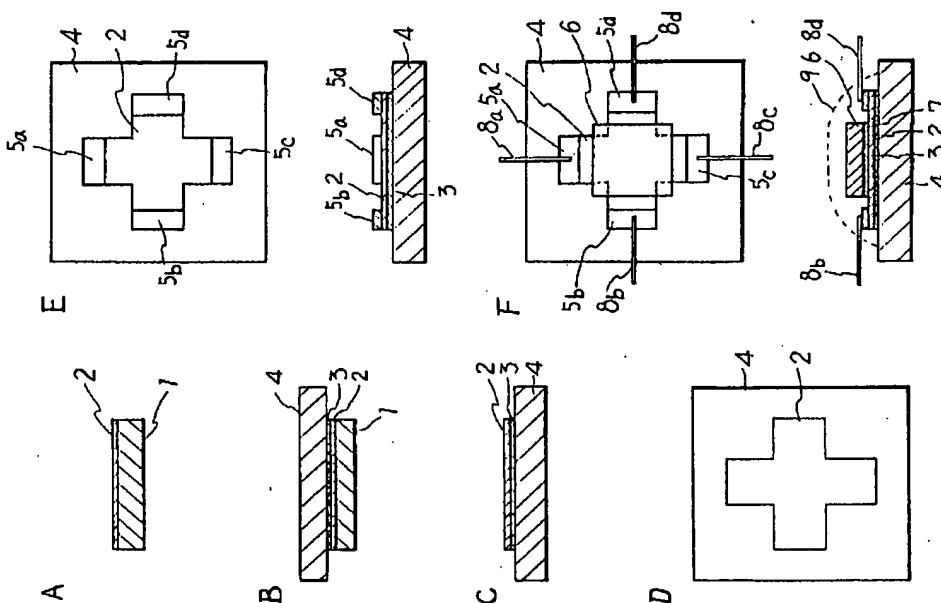
1：蒸着基板、2：蒸着半導体薄膜、3、7：接着剤、4：第1磁性体、6：第2磁性体。

特許出願人 旭化成工業株式会社

勸業電機機器株式会社

代理人 草野 卓

(8)



7. 前記以外の発明者及び特許出願人

(1) 発明者

タヤ タヤホン
埼玉県久喜市久喜本 1173

ス ドウ ミチ オ
須 藤 充 夫

(2) 特許出願人

シンオガラ シンオガラ
東京都新宿区新小川町 1-2
カンザロウデンキヤキヤ
勸業電気機器株式会社
ス ドウ ミチ オ
代表者 須 藤 充 夫